


SEMICONDUCTOR DEVICE, IMAGE OUTPUT DEVICE, AND DRIVING METHOD FOR FUNCTIONAL ELEMENT

Patent number: JP2004050650
Publication date: 2004-02-19
Inventor: OTOSE TOMOHIKO
Applicant: NEC CORP
Classification:
 - international: B41J2/01; B41J2/16; H05B33/14
 - european:
Application number: JP20020211825 20020719
Priority number(s):

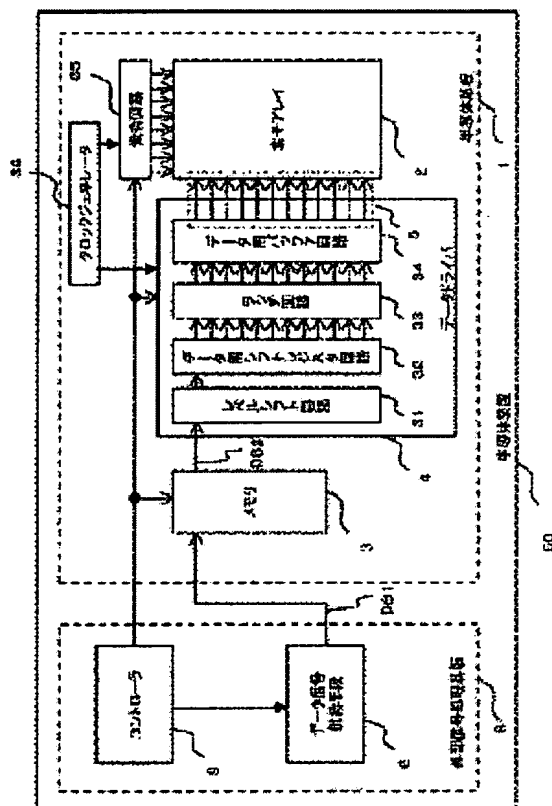
Also published as:

 US2004013019 (A1)

Abstract of JP2004050650

PROBLEM TO BE SOLVED: To provide a low power consumption and low cost semiconductor device.

SOLUTION: The semiconductor device 50 roughly consists of a semiconductor substrate 1 and an external signal processing substrate 8. The semiconductor substrate 1 has a memory 3, a data driver 4, an element array 2, a scanning circuit 35 and a clock generator 36. A data signal held in the memory 3 is utilized when the same data signal is outputted continuously by a plurality of the number of times to the element array 2.



Best Available Copy

Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-50650

(P2004-50650A)

(43) 公開日 平成16年2月19日(2004.2.19)

(51) Int. Cl.⁷

B41J 2/01
B41J 2/16
H05B 33/14

F I

B41J 3/04 1 O 1 Z
H05B 33/14 A
B41J 3/04 1 O 3 H

テーマコード (参考)

2C056
2C057
3K007

審査請求 未請求 請求項の数 29 O L (全 30 頁)

(21) 出願番号 特願2002-211825 (P2002-211825)
(22) 出願日 平成14年7月19日 (2002. 7. 19)

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(74) 代理人 100110928
弁理士 遠水 達治
(72) 発明者 音瀬 智彦
東京都港区芝五丁目7番1号 日本電気株
式会社内
Fターム (参考) 2C056 EA24 EA25 EB03 EB59 EC03
EC07 EC37 EC39 FA02 FA10
KD10
2C057 AF93 AG12 AG83 AG88 AN01
AP02
3K007 DB03 GA00

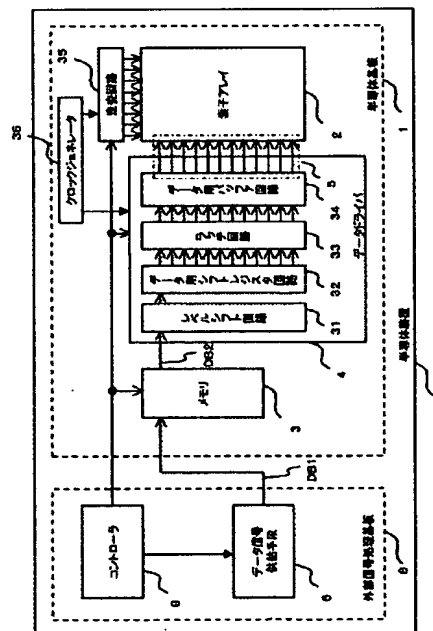
(54) 【発明の名称】 半導体装置、画像出力装置、および機能素子の駆動方法

(57) 【要約】

【課題】 低消費電力、低コストの半導体装置を提供する。

【解決手段】 半導体装置50は、大きく分けて半導体基板1と、外部信号処理基板8で構成されている。半導体基板1は、メモリ3、データドライバ4、素子アレイ2、走査回路35、及びクロックジェネレータ36を備える。素子アレイ2に連続して複数回数同じデータ信号を出力する場合、メモリ3に保持されるデータ信号を利用する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数のアドレスを有し、データ信号を一時的に保持する記憶手段と、
前記記憶手段にデータ信号を供給するデータ信号供給手段と、
前記記憶手段から読み出されたデータ信号から、機能素子を制御する制御信号を生成し、
前記機能素子へ前記制御信号を供給する駆動手段と、
前記記憶手段の同じアドレスから複数回数、連続して同一データ信号を供給するデータ更新制御手段と、
を有することを特徴とする半導体装置。

【請求項 2】

前記データ更新制御手段は、前記機能素子に同一の前記制御信号を連続して供給する際に、前記記憶手段に保持されているデータ信号が更新されないよう、前記データ信号供給手段に対して、前記データ信号の供給動作を停止させることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記データ更新制御手段は、前記機能素子に同一の前記制御信号を連続して供給する際に、前記記憶手段に保持されているデータ信号が更新されないよう、前記データ信号供給手段から前記記憶手段への前記データ信号の入力経路を遮断することを特徴とする請求項 1 に記載半導体装置。

【請求項 4】

複数のアドレスを有し、データ信号を一時的に保持する記憶手段と、
前記記憶手段から読み出されたデータ信号から、外部から入力される機能素子を制御する制御信号を選択し、前記機能素子へ前記制御信号を供給する駆動手段と、
前記記憶手段の同じアドレスから複数回数、連続して同一データ信号を供給するデータ更新制御手段と、
を有することを特徴とする半導体装置。

【請求項 5】

複数のアドレスを有し、データ信号を一時的に保持する記憶手段と、
前記記憶手段から読み出されたデータ信号から、外部から入力される機能素子を制御する制御信号を選択する信号を前記機能素子へ出力する第 1 の駆動手段と、
前記機能素子へ前記制御信号を供給する第 2 の駆動手段と、
前記記憶手段の同じアドレスから複数回数、連続して同一データ信号を供給するデータ更新制御手段と、
を有することを特徴とする半導体装置。

【請求項 6】

前記駆動手段と、前記記憶手段が一体的に形成されることを特徴とする請求項 1 から 5 のいずれかに記載の半導体装置。

【請求項 7】

前記駆動手段、前記機能素子、及び前記記憶手段が一体的に形成されることを特徴とする請求項 1 から 5 のいずれかに記載の半導体装置。

【請求項 8】

当該半導体装置にデータ信号を供給する上位装置から、前記記憶手段に対してデータ信号を転送する第 1 の信号転送手段と、
前記記憶手段から前記駆動手段に対して、データ信号を転送する第 2 の信号転送手段とを有し、
前記第 2 の信号転送手段を、前記第 1 の信号転送手段よりも短くすることを特徴とする請求項 1 から 7 のいずれかに記載の半導体装置。

【請求項 9】

前記記憶手段に入力されたデータ信号の信号振幅を所望の振幅に変換するレベル変換手段を更に有することを特徴とする請求項 1 から 8 のいずれかに記載の半導体装置。

【請求項 10】

当該装置に入力されるデータ信号はシリアル信号であって、前記入力されたデータ信号をパラレル信号に変換するシリアル／パラレル変換手段を有することを特徴とする請求項 1 から 9 のいずれかに記載の半導体装置。

【請求項 11】

当該半導体装置は、O 相のパラレル信号を転送する経路を有し、前記 O 相のパラレル信号を、P 相のパラレル信号に変換する相展開手段を更に有することを特徴とする請求項 1 から 10 のいずれかに記載の半導体装置。

【請求項 12】

前記駆動手段、前記第 1 の信号転送手段、前記記憶手段、前記第 2 の信号転送手段のうち、少なくとも一つが、薄膜トランジスタにより形成されることを特徴とする請求項 8 から 11 のいずれかに記載の半導体装置。 10

【請求項 13】

前記薄膜トランジスタの半導体層が多結晶シリコンからなることを特徴とする請求項 12 に記載の半導体装置。

【請求項 14】

印字を行うために、液滴を飛翔させる吐出手段を有する画像出力装置であって、前記吐出手段に供給するデータ信号を一時的に保持する記憶手段と、前記記憶手段に保持される前記データ信号を読み出し、前記データ信号をもとに前記吐出手段を制御する制御信号を生成し、前記制御信号をもとに前記吐出手段を駆動する駆動手段と、前記吐出手段に対して、同一の前記制御信号を複数回数連続して供給する際に、前記記憶手段に保持されている前記データ信号を更新しないよう、前記記憶手段に対する前記データ信号を出力するデータ信号供給手段に対して、該当データ信号の出力動作を停止させるデータ更新制御手段と、を有することを特徴とする画像出力装置。 20

【請求項 15】

印字を行うために、液滴を飛翔させる吐出手段を有する画像出力装置であって、前記吐出手段に供給する駆動波形を選択するためのデータ信号を一時的に保持する記憶手段と、前記記憶手段に保持される前記データ信号を読み出し、前記データ信号をもとに外部から入力される前記駆動波形を選択し、前記選択された駆動波形をもとに前記吐出手段を駆動する駆動手段と、前記吐出手段に対して、同一の前記駆動波形を複数回数連続して供給する際に、前記記憶手段に保持されている前記データ信号を更新しないよう、前記記憶手段に対する前記データ信号を出力するデータ信号供給手段に対して、該当データ信号の出力動作を停止させるデータ更新制御手段と、を有することを特徴とする画像出力装置。 30

【請求項 16】

印字を行うために、液滴を飛翔させる吐出手段を有する画像出力装置であって、前記吐出手段に供給する駆動波形を選択するためのデータ信号を一時的に保持する記憶手段と、前記記憶手段に保持される前記データ信号を読み出し、前記データ信号をもとに外部から入力される前記駆動波形を選択するための信号を前記吐出手段へ出力する第 1 の駆動手段と、前記吐出手段へ前記選択された駆動波形を供給する第 2 の駆動手段と、前記吐出手段に対して、同一の前記駆動波形を複数回数連続して供給する際に、前記記憶手段に保持されている前記データ信号を更新しないよう、前記記憶手段に対する前記データ信号を出力するデータ信号供給手段に対して、該当データ信号の出力動作を停止させるデータ更新制御手段と、 40 50

を有することを特徴とする画像出力装置。

【請求項 17】

前記駆動手段と、前記記憶手段が一体的に形成されることを特徴とする請求項 14 から 16 のいずれかに記載の画像出力装置。

【請求項 18】

前記駆動手段、前記吐出手段、及び前記記憶手段が一体的に形成されることを特徴とする請求項 14 から 16 のいずれかに記載の画像出力装置。

【請求項 19】

当該画像出力装置にデータ信号を供給する上位装置から、前記記憶手段に対してデータ信号を転送する第 1 の信号転送手段と、
前記記憶手段から前記駆動手段に対して、データ信号を転送する第 2 の信号転送手段とを有し、

前記第 2 の信号転送手段を、前記第 1 の信号転送手段よりも短くすることを特徴とする請求項 14 から 18 のいずれかに記載の画像出力装置。

【請求項 20】

当該画像出力装置に入力されたデータ信号の信号振幅を所望の振幅に変換するレベル変換手段を更に有することを特徴とする請求項 14 から 19 のいずれかに記載の画像出力装置

。

【請求項 21】

当該画像出力装置に入力されるデータ信号はシリアル信号であって、
前記入力されたデータ信号をパラレル信号に変換するシリアル／パラレル変換手段を有することを特徴とする請求項 14 から 20 のいずれかに記載の画像出力装置。

【請求項 22】

当該画像出力装置は、O 相のパラレル信号を転送する経路を有し、
前記 O 相のパラレル信号を、P 相のパラレル信号に変換する相展開手段を更に有することを特徴とする請求項 21 に記載の画像出力装置。

【請求項 23】

前記駆動手段、前記第 1 の信号転送手段、前記記憶手段、前記第 2 の信号転送手段を構成する回路の内、少なくとも一つが、薄膜トランジスタにより形成されることを特徴とする請求項 19 から 22 のいずれかに記載の画像出力装置。

【請求項 24】

前記薄膜トランジスタの半導体層が多結晶シリコンからなることを特徴とする請求項 23 に記載の画像出力装置。

【請求項 25】

機能素子を制御するデータ信号を記憶手段に一時的に保持するステップと、
前記データ信号を読み出し前記機能素子へ転送するステップと、
前記記憶手段に保持されているデータ信号と同一データが連続して使用されることがあらかじめ判明している場合、保持されているデータ信号を更新せずに、前記記憶手段の同一アドレスから、前記機能素子を制御するデータ信号を転送するステップと、
を有することを特徴とする機能素子の駆動方法。

【請求項 26】

絶縁基板上に、素子アレイを制御するための信号を一時的に保持する記憶手段と、素子アレイと、前記素子アレイを駆動する駆動手段とを含む薄膜トランジスタ回路が同一の絶縁基板上に、同一のプロセスにより形成されることを特徴とする半導体装置の製造方法。

【請求項 27】

前記絶縁基板は、ガラス基板であることを特徴とする請求項 26 に記載の半導体装置の製造方法。

【請求項 28】

プリントヘッドを備える画像出力装置を製造する方法であって、
絶縁基板上に、プリントヘッドが備えるインクの吐出手段を制御するための信号を一時的

10

20

30

40

50

に保持する記憶手段と、前記吐出手段と、前記吐出手段を駆動する駆動手段とを含む薄膜トランジスタ回路が同一の絶縁基板上に、同一のプロセスにより形成されることを特徴とする画像出力装置の製造方法。

【請求項 29】

前記絶縁基板は、ガラス基板であることを特徴とする請求項 28 に記載の画像出力装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、記憶手段からデータ信号を読み出して機能素子を駆動させる技術に関する。 10

【0002】

【従来の技術】

記憶手段に一時的に保持されたデータ信号を読み出し、機能素子を駆動する一般的な例として、プリンタ装置に関して説明する。図 26 は、電気信号を一時的に保持して、その電気信号を読み出す動作を行う半導体装置を有する一般的なプリンタの構成を示す。

【0003】

図 26 は、特に微小なインク滴を吐出させて、紙面等の記録媒体に飛翔させ付着させることにより、文字や画像を記録する従来のインクジェットプリンタの機能ブロック図を示している。

【0004】

インクジェットプリンタは、プリンタ本体側基板 105 とプリントヘッド 100 を備える。プリントヘッド 100 は、駆動回路 101、インクタンク 102、吐出手段 103 を備える、プリンタ本体側基板 105 には、データ信号供給手段 104、記憶手段 106 が設置されている。 20

【0005】

インク液は、インクタンク 102 より、流路を通過して、吐出手段 103 へ供給されている。また、吐出手段 103 を動作させる駆動信号は、データ信号供給手段 104 から出力されたデータ信号が、駆動回路 101 へ入力されることにより駆動回路 101 で生成され、吐出手段 103 へ入力される。この駆動信号を受けた吐出手段 103 は、インク滴を吐出する。インクジェットプリンタは従来、複数のノズルを用いてインク液を吐出しているが、製造プロセス等による、ノズル間の性能ばらつきが生じ、印字品質の低下を招いている。この課題を解決するために、従来のインクジェットプリンタは、「重ね打ち」と呼ばれる吐出動作を行っている。 30

【0006】

この重ね打ちについて、図 27、及び図 28 を使って説明する。図 27、及び図 28 は、それぞれ重ね打ちの動作の例を表す図である。まず図 27 に示す重ね打ちの例では、プリントヘッド 100 は、開始点 111 より、右方向へ移動しながら吐出動作を繰り返す。ここで、右方向へ移動しながら吐出する場合と、左方向へ移動しながら吐出する場合とは、重ね打ち領域 110 に示す分だけ、例えば重ねて印字される、あるいはある距離をおいてずらして印字される。そして、終了点 112 まで到達すると、移動点 113 まで下方へ移動する。次にプリントヘッド 100 は、左方向へ移動しながら、吐出動作を繰り返す。また、図 28 に示す重ね打ちの例では、プリントヘッド 100 は、重ね打ち領域 110 を何度も往復しながら吐出動作を繰り返し、移動点 113 まで移動して、また上記動作を繰り返す。このとき、両者の重ね打ち領域 110 では、同じインクの着弾点に対し、異なるノズルにより吐出されたインクを飛翔させて着弾させているため、仮に吐出手段 103 内で吐出ばらつきが起こっていたとしても、重ねて着弾させる、あるいはある距離をおいてずらして着弾させることにより、平均化されて補正出来る。 40

【0007】

上記重ね打ち動作において、図 26 に示す従来構成では、記憶手段 106 には、少なくとも重ね打ち領域 110 を印字するのに必要なデータ信号が保持されている。一般的に、記 50

憶手段106上のデータの読み出しは、図示されていない上位装置より、記憶手段106へアドレス信号が入力されることにより行われる。ここでアドレス信号とは、記憶手段106内のマトリクス状に配列されたメモリセルを指定する信号であり、メモリセル1個を指定するアドレス信号であってもよいし、複数のメモリセルを指定するアドレス信号でもよいし、先頭のメモリセルのアドレス信号と、メモリセルの個数を表す信号の組合せであってもよいが、ここでは、記憶手段106を構成するシステムに応じたアドレス信号を総称してアドレス信号としている。そのデータ信号を読み出して、データ信号供給手段104を経由してプリントヘッド100上の駆動回路101へ転送され、駆動回路101より吐出手段103へ転送され、吐出動作を行う。これは重ね打ち領域110の吐出動作が終了するまで繰り返される。

10

【0008】

【発明が解決しようとする課題】

近年、インクジェットプリンタの分野において、印刷速度の高速化や高画質印刷に対する要求が大きくなっている。それらの要求を克服するためには、ノズル数を増加させる、又はプリントヘッドの動作周波数を上げる等の対策が必要となる。これはすなわち、印字用のデータ信号の増大を招くため、図26でのプリンタ本体側基板105上の回路や、プリントヘッド100上の駆動回路101等の性能向上が必要となってくる。また、ノズル数の増加によって、各ノズルから吐出される液滴径のばらつきが問題になる。したがって、インクジェット方式のプリンタ装置においては、高画質による印刷をする場合、重ね打ち動作による補正が行われる。この重ね打ち動作を図26の従来例で動作させようとする

20

と、毎回同じデータ信号を、記憶手段106より、データ信号供給手段104を介して駆動回路101へ転送する必要がある。これは印刷の高速化・高画質化に伴って、プリンタ機器の消費電力の増大、コスト高を引き起こす。

【0009】

これはインクジェットプリンタに限ったことではなく、メモリ等の記憶手段からデータ信号を読み出して、そのデータ信号により、あるいはそのデータ信号から別の信号を生成して能動素子を駆動する半導体装置において、駆動周期毎に繰り返し同じデータ信号を必要とする場合にも同様の課題が生じている。この場合、半導体装置の高速化、あるいは高性能化に伴って上記インクジェットプリンタの課題と同様の課題が生じている。つまり、動作周波数を上げた際に、消費電力が増えてしまい、データ信号供給手段104等の高性能化によるコスト高を引き起こす。半導体装置の分野では、特に携帯機器に使用される場合、消費電力の低減は大きな課題となっている。

30

【0010】

本発明は、こうした状況に鑑みなされたものであり、その目的は、半導体装置の消費電力の増大を抑えることにある。また更に別の目的は、半導体装置を高性能化した際に、コストの上昇を抑えることにある。また更に別の目的は、プリンタの高性能化に際し生じる、消費電力の増加を抑えることにある。また更に別の目的は、画像出力装置を高性能化した際に、コストの上昇を抑えることにある。

【0011】

【課題を解決するための手段】

本発明のある態様は、半導体装置に関する。この半導体装置は、複数のアドレスを有し、データ信号を一時的に保持する記憶手段と、記憶手段にデータ信号を供給するデータ信号供給手段と、記憶手段から読み出されたデータ信号から、機能素子を制御する制御信号を生成し、機能素子へ制御信号を供給する駆動手段と、記憶手段の同じアドレスから複数回数、連続して同一データ信号を供給するデータ更新制御手段を有する。

40

【0012】

また、データ更新制御手段は、機能素子に同一の制御信号を連続して供給する際に、記憶手段に保持されているデータ信号が更新されないよう、データ信号供給手段に対して、データ信号の供給動作を停止させてもよし、データ信号供給手段から記憶手段へのデータ信号の伝送経路を遮断してもよい。

50

【0013】

ここで、「データ信号の出力動作を停止させる」とは、記憶手段に対してデータ信号を供給するデータ信号供給手段の出力を停止させる場合と、記憶手段にて更新されない領域に本来供給すべきデータ信号を生成させない場合とが挙げられる。また、「伝送経路を遮断する」とは、データ信号供給手段と記憶手段の間にスイッチ手段を設けて、それをオフすることが挙げられる。そのスイッチ手段はデータ信号供給手段側に設けられてもよいし、記憶手段を駆動するための駆動手段に設けられてもよく、その設置位置は任意である。一般にはデータ信号供給手段側に設けるほうが、消費電力の低減という観点で効果的である。

【0014】

10

記憶手段の同じアドレスから複数回数連続してデータ信号を読み出すことにより、機能素子へ同じデータ信号を複数回数連続して供給するため、その間、上位装置から記憶手段へのデータ信号の転送が不要となり、半導体装置の低消費電力化が期待される。また、機能素子に対して常に同一のデータ信号を連続して利用する場合、上位装置からのデータ信号の転送周波数を低く抑えることができ、それによって低コスト化が期待される。また、連続して記憶手段から読み出されるデータ信号が保持される領域は、記憶手段の全領域であってもよいし、一部のみであってもよい。

【0015】

ここで、機能素子とは、能動素子、光学素子、スイッチング素子など記憶手段に一時保持されるデータ信号を利用して制御される素子である。また、それら機能素子の数は任意である。複数の機能素子により構成される素子アレイの形態であってもよい。素子アレイを利用した装置として、例えばアクティブマトリックス型表示装置がある。また、データ信号は、一般には電気信号が想定されるがこれに限る趣旨ではなく、他に光などの電磁波がある。つまり、信号を伝送可能であれば、伝送媒体は問わない。また、記憶手段として、例えばRAM (Random Access Memory) がある。

20

【0016】

本発明の別の態様も、半導体装置に関する。この半導体装置は、複数のアドレスを有し、データ信号を一時的に保持する記憶手段と、記憶手段から読み出されたデータ信号から、外部から入力される機能素子を制御する制御信号を選択し、機能素子へ制御信号を供給する駆動手段と、記憶手段の同じアドレスから複数回数、連続して同一データ信号を供給するデータ更新制御手段と、を有する。

30

【0017】

本発明の更に別の態様も、半導体装置に関する。この半導体装置は、複数のアドレスを有し、データ信号を一時的に保持する記憶手段と、記憶手段から読み出されたデータ信号から、外部から入力される機能素子を制御する制御信号を選択する信号を機能素子へ出力する第1の駆動手段と、機能素子へ制御信号を供給する第2の駆動手段と、記憶手段の同じアドレスから複数回数、連続して同一データ信号を供給するデータ更新制御手段と、を有する。

【0018】

駆動手段と、記憶手段が一体的に形成されてもよい。記憶手段と、駆動手段とが、同一基板上に形成される場合、記憶手段と、駆動手段とを接続するケーブル等の接続手段が不要となるため、ケーブルなどで発生する伝送損出を抑えることができる。その結果、信号の出力レベルを抑えることができ、低消費電力化や低コスト化を図ることができる。また、駆動手段と、機能素子が一体的に形成されてもよい。この場合も同様に、駆動手段と機能素子が、同一基板上に形成されているため、駆動手段と機能素子を接続するケーブル等の接続手段が不要となり、ケーブルなどで発生する伝送損出を抑えることができる。その結果、信号の出力レベルを抑えることができ、低消費電力化や低コスト化を図ることができる。また更に、記憶手段、駆動手段及び機能素子が一体的に形成されてもよい。記憶手段、駆動手段及び機能素子が、同一基板上に形成されているため、上述した効果と同様の効果が得られる。また、データ更新制御手段も、上述の同一基板上に形成されてもよい。

40

50

【0019】

また、当該半導体装置にデータ信号を供給する上位装置から、記憶手段に対してデータ信号を転送する第1の信号転送手段と、記憶手段から前記駆動手段に対して、データ信号を転送する第2の信号転送手段とを有し、第2の信号転送手段を、前記第1の信号転送手段よりも短くしてもよい。つまり、例えば、上位装置と記憶手段とを電氣的に接続して電気信号を転送する第1の信号転送手段と、記憶手段と駆動手段とを電氣的に接続して電気信号を転送する第2の信号転送手段とがある場合、第2の信号転送手段の長さが、第1の信号転送手段よりも短いため、記憶手段に保持された電気信号を機能素子へ繰り返し転送する際のロスが小さくなる。電気信号のロスを抑えることで、出力する際のデータ信号の振幅を低くすることが可能となり、その結果、消費電力の低減が実現される。

10

【0020】

また、記憶手段に入力されたデータ信号の信号振幅を所望の振幅に変換するレベル変換手段を有してもよい。このレベル変換手段によると、例えば入力信号を低い電圧に設定して、アンプなどのレベル変換手段によって、より高い電圧に増幅して出力することも可能となり、低い電圧で駆動する信号経路が長くなるため低消費電力化を図ることができる。また、このレベル変換手段も、上述の同一基上に形成されてもよい。

【0021】

また、当該装置に入力されるデータ信号はシリアル信号であって、入力されたデータ信号をパラレル信号に変換するシリアル／パラレル変換（以下、単に「S／P変換」と略す）手段を有してもよい。S／P変換手段により、例えば複数の機能素子に一度にデータを入力する場合においても、シリアル信号による入力が可能となるため、上位装置との外部接続端子数の低減を図ることができる。これにより、製造工程の歩留まりを向上させ、製造コストの低減を図ることができる。

20

【0022】

また、O相のパラレル信号を、P相のパラレル信号に変換する相展開手段を有してもよい。ここでOおよびPは自然数であり、 $0 < P$ の関係性を有する。相展開手段を有するため、例えばP相よりも少ないO相のパラレル信号で入力でき、上位装置との外部接続端子の低減を図ることができる。

【0023】

また、S／P変換手段のデータ信号の出力をラッチするラッチ手段を有してもよい。これにより、S／P変換回路で出力されたパラレル信号を一時的に保持し、任意のタイミングで出力することが可能となる。

30

【0024】

また、相展開手段の出力をラッチするラッチ手段を有してもよい。これにより、相展開手段により出力されたO相のパラレル信号を一時的に保持し、任意のタイミングで出力することが可能となる。

【0025】

また、駆動手段、第1の信号転送手段、記憶手段、第2の信号転送手段を構成する回路のうち、少なくとも一つが、薄膜トランジスタ（Thin Film Transistor；以下、単に「TFT」と略す）により形成されてもよい。それら回路がTFTにより形成される場合、例えば大面積のガラス基板が使用でき、大面積の装置作成が可能となる。一方、小面積の装置の場合では、大面積基板に複数の装置用の基板を同時に形成する場合の基板の取り数が多くなるため、低コスト化を図ることができる。

40

【0026】

また、駆動手段、記憶手段、機能素子が一体的に、一般には同一基板上にTFTで形成される場合、回路を構成する素子を集積化することで、記憶手段からの出力をパラレルとすることもできる。この場合、上述の相展開回路が不要となり、更に装置の小型化が可能となる。

【0027】

また、TFTの半導体層が多結晶シリコンから構成されてもよい。TFTの半導体層が多

50

結晶シリコンからなるため、例えば大面積のガラス基板上に様々な機能回路を形成することが可能となる。

【0028】

機能素子は、能動素子でもよいし、光学素子でもよいし、その機能素子を制御する制御信号により、物理的に変形する素子であってもよいし、更に自身が発生する熱が制御信号により制御される素子であってもよい。また更に、機能素子は、液滴を飛翔させる吐出手段であってもよく、制御信号が、液滴の飛翔量を制御してもよい。

【0029】

能動素子として、例えばピエゾ素子やセラミック素子などの圧電素子や、ヒータなどの抵抗素子がある。光学素子として、EL (Electro Luminescence) 素子や液晶素子がある。 10

【0030】

本発明の更に別の態様は、画像出力装置に関する。この画像出力装置は、液滴を飛翔させる吐出手段に供給するデータ信号を一時的に保持する記憶手段と、記憶手段に保持されるデータ信号を読み出し、吐出手段を制御する制御信号を生成し、その制御信号をもとに吐出手段を駆動する駆動手段と、吐出手段に同一の制御信号を連続して供給する際に、記憶手段に保持されている信号を更新しないよう、記憶手段に対するデータ信号の入力経路を遮断するデータ更新制御手段と、を有する。

【0031】

本発明の更に別の態様も画像出力装置に関する。この画像出力装置は、印字を行うために、液滴を飛翔させる吐出手段を有する画像出力装置であって、吐出手段に供給するデータ信号を一時的に保持する記憶手段と、記憶手段に保持されるデータ信号を読み出し、吐出手段を制御する制御信号を生成し、その制御信号をもとに吐出手段を駆動する駆動手段と、吐出手段に同一の制御信号を連続して供給する際に、記憶手段に保持されている信号を更新しないよう、記憶手段に対するデータ信号を出力するデータ信号供給手段に対して、該当データ信号の出力動作を停止させるデータ更新制御手段と、を有する。 20

【0032】

本発明の更に別の態様も画像出力装置に関する。この画像出力装置は、印字を行うために、液滴を飛翔させる吐出手段を有する画像出力装置であって、吐出手段に供給する駆動波形を選択するためのデータ信号を一時的に保持する記憶手段と、記憶手段に保持されるデータ信号を読み出し、データ信号をもとに外部から入力される駆動波形を選択し、駆動波形をもとに吐出手段を駆動する駆動手段と、を有する。 30

【0033】

また、駆動手段と、記憶手段が一体的に形成されてもよい。また、駆動手段と、機能素子が一体的に形成されてもよい。更に駆動手段、吐出手段、及び記憶手段が一体的に形成されてもよい。

【0034】

また、当該画像出力装置にデータ信号を供給する上位装置と、駆動手段との間のデータ信号の伝送経路中に記憶手段が配置されてもよい。

【0035】

また、当該画像出力装置にデータ信号を供給する上位装置から、記憶手段に対してデータ信号を転送する第1の信号転送手段と、記憶手段から駆動手段に対して、データ信号を転送する第2の信号転送手段とを有し、第2の信号転送手段を、第1の信号転送手段よりも短くしてもよい。 40

【0036】

当該画像出力装置に入力されたデータ信号の信号振幅を所望の振幅に変換するレベル変換手段を更に有してもよい。レベル変換手段は、一般には、データ信号の振幅を増幅するアンプがある。また、このレベル変換手段も上述の同一基板に形成されてもよい。

【0037】

また、当該画像出力装置に入力されるデータ信号はシリアル信号であってもよく、入力さ 50

れたデータ信号をパラレル信号に変換するS/P変換手段を有してもよい。

【0038】

また、O相のパラレル信号を、P相のパラレル信号に変換する相展開手段を更に有してもよい。また、S/P変換手段のデータ信号の出力をラッチするラッチ手段を有してもよい。また、相展開手段の出力をラッチするラッチ手段を有してもよい。

【0039】

また、駆動手段、第1の信号転送手段、記憶手段、および第2の信号転送手段を構成する回路の内、少なくとも一つが、TFTにより形成されてもよい。また、TFTの半導体層が多結晶シリコンからなってもよい。

【0040】

第1の信号転送手段と記憶手段、あるいは第2の信号転送手段と記憶手段とが同一基板上に、同一の作製プロセスで形成されるため、スループットの向上による低コスト化を図ることができる。

【0041】

プリントヘッドの制御回路及び印字を行うインクの吐出手段の一部をガラス基板上に形成することで、プリントヘッドの小型化が実現できる。これにより、プリンタ装置本体の小型化の実現や、設計の自由度が向上する。

【0042】

また、吐出手段は、制御信号により物理的に変形する圧電素子を有してもよい。ここで圧電素子として、例えば piezo 素子やセラミック素子がある。また、吐出手段は、発生する熱が制御信号により制御される抵抗素子を有してもよい。吐出手段に piezo 素子を利用する形態は、一般には piezo インクジェット方式と呼ばれ、抵抗素子を利用する形態は、サーマルインクジェット方式と呼ばれている。

【0043】

上記の手段により、繰り返し同じデータ信号を利用して所望の出力を得ることが出来る半導体装置について、低消費電力化、あるいは低コスト化が可能となる。

【0044】

本発明の更に別の態様は、機能素子の駆動方法に関する。この方法は、機能素子を制御するデータ信号を記憶手段に一時的に保持するステップと、データ信号を、読み出し機能素子へ転送するステップと、記憶手段に保持されているデータ信号と同一データが連続して使用されることがあらかじめ判明している場合、保持されているデータ信号を更新せずに、記憶手段の同一アドレスから、機能素子を制御するデータ信号を転送するステップと、を有する。

【0045】

本発明の更に別の態様は、半導体装置の製造方法にある。この製造方法は、絶縁基板上に、素子アレイを制御するための信号を一時的に保持する記憶手段と、素子アレイと、前記素子アレイを駆動する駆動手段とを含む薄膜トランジスタ回路が同一の絶縁基板上に、同一のプロセスにより形成される。ここで、絶縁基板は、ガラス基板でもよい。

【0046】

本発明の更に別の態様は、画像出力装置の製造方法にある。この製造方法は、画像出力装置が備えるプリントヘッドを製造する方法であって、絶縁基板上に、プリントヘッドが備えるインクの吐出手段を制御するための信号を一時的に保持する記憶手段と、吐出手段と、吐出手段を駆動する駆動手段とを含む薄膜トランジスタ回路を形成する工程と、薄膜トランジスタ回路が同一の絶縁基板上に、同一のプロセスにより形成される。ここで、絶縁基板は、ガラス基板でもよい。

【0047】

なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システム、記録媒体などの間で変換したものもまた、本発明の態様として有効である。

【0048】

【発明の実施の形態】

10

20

30

40

50

以下、図面を参照して、本発明を実施の形態をもとに説明する。実施の形態A 1～A 9では、本発明を半導体装置として実現する。この半導体装置は、機能素子がマトリックス状に配置された素子アレイとその素子アレイに入力すべきデータ信号を一時保持するメモリと能動素子を駆動する駆動回路を有する。ここで、同じ機能素子に対して連続して同一データ信号が入力される場合、素子アレイのデータ更新を停止し保持されているデータ信号を再度利用することで、消費電力の低減を図る。また、機能素子、メモリ、及び駆動回路を一体的に形成することで装置全体のサイズを小型化する。また、実施の形態B 1では、画像出力装置に関して、実施の形態B 2では表示装置に関して、実施の形態B 3では光スイッチ装置に関して説明する。

【0049】

10

(実施の形態A 1)

図1は、本実施の形態における半導体装置50の構成を示すブロック図を示している。この半導体装置50は、半導体基板1及び外部信号処理基板8を備える。

【0050】

半導体基板1は、メモリ3、データドライバ4、素子アレイ2、走査回路35、及びクロックジェネレータ36を備える。走査回路35は、素子アレイ2にデータ信号を入力する際の、水平方向の走査タイミングを制御する。クロックジェネレータ36は、走査タイミングを決定する際の基準となるクロック信号を生成する。外部信号処理基板8は、データ信号供給手段6、及びコントローラ9を備える。

【0051】

20

データドライバ4は、レベルシフト回路31、データ用シフトレジスタ回路32、ラッチ回路33、及びデータ用バッファ回路34を備える。

【0052】

レベルシフト回路31は、データ信号の振幅を変換する。これにより外部信号処理基板8から、メモリ3へ転送するデータ信号の振幅は、比較的小さい値とすることが出来る。したがって、外部信号処理基板8とメモリ3との間、あるいは、メモリ3とデータドライバ4との間でのデータ転送に適切なデータ振幅を設定できる。これにより不要な電力消費を抑えることが出来る。

【0053】

データ用シフトレジスタ回路32は、データドライバ4に入力されたシリアル信号をパラレル信号に変換する。ラッチ回路33は、データ信号を一時的に保持して、任意のタイミングでデータ信号を出力する。データ用バッファ回路34は、ラッチ回路33から出力されたデータ信号を、波形整形し素子アレイへ転送する回路である。したがって、メモリ3から入力されたデータ信号は、レベルシフト回路31、データ用シフトレジスタ回路32、ラッチ回路33、データ用バッファ回路34の順で転送され、素子アレイ2に出力される。

30

【0054】

ここで、データ信号とは、素子アレイ2を制御するデジタル信号である。また、データドライバ4は、メモリ3から出力されたデータ信号を、素子アレイ2へ転送する。

【0055】

40

また、素子アレイ2は、データバスライン5を通過して入力されたデータ信号により制御される機能素子が、M行×N列のマトリクス状に2次元配列されているものと定義する。図1に示す構成では、素子アレイ2は12行×8列の配列となっている。したがって、データバスライン5は、12本となる。

【0056】

機能素子は、例えばスイッチとして機能するトランジスタや、電界を加えることにより物理的な変形を及ぼす圧電素子、電気信号により温度変化を及ぼす熱源となりうる抵抗素子などの能動素子がある。更に機能素子として、EL素子や液晶素子などの光学素子や光スイッチなどがある。

【0057】

50

コントローラ 9 は、少なくともメモリ 3、データドライバ 4 及びデータ信号供給手段 6 を制御する。ここで、図 1 はあくまで構成の一例である。例えばコントローラ 9 は、本実施の形態では外部信号処理基板 8 に設置されているが、半導体基板 1 側に設置されてもよい。

【0058】

データ信号供給手段 6 とメモリ 3 を接続する伝送経路を第 1 伝送手段 DB 1、メモリ 3 とデータドライバ 4 を結ぶ伝送経路を第 2 伝送手段 DB 2 とする。本実施の形態では、第 2 伝送手段 DB 2 が半導体装置 50 に設けられているため、第 2 伝送手段 DB 2 は第 1 伝送手段 DB 1 と比べて短くなる。一般に伝送経路が長くなるにしたがって、データ信号の伝送損失が大きくなる傾向がある。したがって、メモリ 3 から複数回数連続してデータ信号が出力される本実施の形態では、第 2 伝送手段 DB 2 の経路が短くなっているため、消費電力の低減を図ることができる。

【0059】

データ信号供給手段 6 は、図示しないスイッチ回路を有しており、メモリ 3 に保持されているデータ信号を更新せず連続して素子アレイ 2 に対し転送する場合、スイッチ回路をオフにする。これにより、メモリ 3 のデータ信号の更新が停止される。このスイッチ回路は、メモリ 3 側に設けられてもよいが、消費電力低減の観点から、メモリ 3 とデータ信号供給手段 6 を結ぶ経路に信号が入力されない点で、データ信号供給手段 6 側にスイッチ回路を設けることが効果的である。

【0060】

図 2 は、メモリ 3 の構成を示す。メモリ 3 は、複数のメモリセル 22 がマトリクス状に配列されたメモリセルアレイ 21 と、その周囲にメモリ用ドライバ 30 を備える。メモリセル 22 は、データ信号を一定期間保持する記憶素子である。

【0061】

メモリ用ドライバ 30 は、コントローラ 9 の指示を受けてデータ信号供給手段 6 からメモリ 3 へのデータ信号の書き込み動作、及びデータドライバ 4 へのデータ信号の転送動作を行う（図 1 参照）。以下の実施の形態で説明するメモリ 3 の構成は、このメモリ 3 の構成と同一である。

【0062】

メモリ 3 におけるメモリセル 22 を駆動するメモリ用ドライバ 30 は、メモリセル 22 に保持されているデータ信号を、シリアル信号としてデータドライバ 4 へ転送する。ただし、メモリ用ドライバ 30 は、シリアル信号を P 相の平行信号に変換してデータドライバ 4 へ転送してもよい。図 3 は、走査回路 35 の構成を示す。走査回路 35 は更に、素子アレイシフトレジスタ回路 37 と素子アレイバッファ回路 38 を有する。

【0063】

図 4 は、データドライバ 4 の動作を示すタイミングチャートである。上から順に、スタート信号、クロック信号、データ信号が示されている。続いて、データ用シフトレジスタ回路 32 で生成された M 本のデータバスライン 5 を制御する信号が示され、最後にラッチ信号が示されている。

【0064】

スタート信号が、ハイになるとクロック信号に従って、データ用シフトレジスタ回路 32 によってシリアル信号が M 相の平行信号に展開される。このとき、M 相に完全に展開されるまで、ラッチ回路にて一時的に転送が保留される。M 相に展開が終了すると、任意のタイミングでラッチ信号がハイとなり、平行信号がデータ用バッファ回路 34 に転送される。続いて、水平方向の走査タイミングが、所定のタイミングになると、データ信号が素子アレイ 2 に出力される。

【0065】

図 5 は、走査回路 35 の動作を示すタイミングチャートである。上から順に、スタート信号、クロック信号、及び素子アレイ 2 の 1 ～ N 列目の機能素子 46 にデータ信号を入力するための走査信号が示されている。

【0066】

スタート信号がハイになると、クロック信号に従って、素子アレイシフトレジスタ回路37によって、左から順に走査回路35から素子アレイ2へ延びるN列の走査線がハイとなる。ハイとなった列の素子に対し、データ用バッファ回路34からデータ信号が出力される。

【0067】

以下に、データ信号の流れについて図6に示すフローチャートをもとに説明する。データ信号供給手段6から出力されたデータ信号は、メモリ3へ入力される(S10)。メモリ3で保持されたデータ信号は、データドライバ4へ転送される(S12)。

【0068】

このとき、例えば図2においてメモリセルアレイ21上のある領域Aにデータが存在する場合、メモリ用ドライバ30にその領域を示すアドレス信号が入力されてその領域Aのメモリセル22から順次、データが読み出され、メモリ用ドライバ30を通してデータドライバ4へ転送される。ここでアドレス信号とは、メモリセル22を指定する信号であり、1個のメモリセル22を指定するアドレス信号であってもよいし、複数のメモリセル22を指定するアドレス信号でもよいし、先頭のメモリセル22のアドレス信号と、メモリセル22の個数を表す信号の組合せであってもよい。

【0069】

データドライバ4に入力されたデータ信号は、まずレベルシフト回路31においてデータ信号の振幅が増幅される(S14)。続いて、データ用シフトレジスタ回路32において、シリアル信号からパラレル信号へ変換される(S16)。更に、ラッチ回路33は、所定のタイミングになると、データ用バッファ回路34を介して素子アレイ2にデータ信号を出力する(S18)。

【0070】

素子アレイ2では、データドライバ4から転送されたデータ信号により、機能素子が制御され、所望の動作を行う。繰り返し同じデータ信号を利用して素子アレイ2を動作させる場合(S20のY)、データ信号供給手段6から、メモリ3へのデータ信号の転送を停止し(S24)、上述のS12以降の一連の処理が実行される。繰り返し同じデータ信号を使用しない場合(S20のN)、データ転送を継続するなら(S22のN)、上述のS10以降の一連の処理が行われ、メモリ3のデータ信号が更新され、素子アレイ2に新たなデータ信号が転送される。データ信号の転送を終了する場合(S22のY)、一連の処理が終了する。

【0071】

以上、本実施の形態によると、データ信号の伝送経路が長いデータ信号供給手段6とメモリ3との間でのデータ信号の転送が行われないため、また、外部信号処理基板8側の動作周波数が抑えられるため、低コスト、低消費電力の半導体装置が提供される。また、メモリ3に入力されるデータ信号は、レベルシフト回路31で増幅されるので、データ信号供給手段6とメモリ3との間のデータ信号の消費電力を抑えることができる。

【0072】

本実施の形態では、素子アレイ2において、素子はM×Nのマトリックス状、つまり2次元に配置されたが、一列、つまり一次元に配置されてもよい。その場合、走査回路35は不要となる。

【0073】

また、データドライバ4は、レベルシフト回路31でデータ信号の振幅がシフトされる前、あるいは、シフトされた後に、図7に示すような、データ信号を、例えばO相のパラレル信号をP相に多相化する多相化回路を備えてもよい(O<Pとして)。例えば、素子アレイ2を2×2の領域に4相化することで、垂直及び水平方向の走査タイミングが1/2に緩くなる、つまり動作周波数が1/2となる。これにより、更に低コストの半導体装置が実現される。

【0074】

10

20

30

40

50

図8は、メモリ3からデータ信号がパラレル信号として出力する場合の構成を示す。このとき、メモリ3は、図2に示したメモリ用ドライバ30と同じ機能を有する第1メモリドライバ41と、S/P変換機能を有する第2メモリドライバ42を備える。また、この形態では、一般にはデータドライバ4において、データ用シフトレジスタ回路32が不要となる。

【0075】

また、本実施の形態では、素子アレイ2に入力される信号はデジタルであったが、これに限らず、例えば図9に示すように、時間tに対し、電圧Vが変動するようなアナログ信号であってもよい。この場合、データ用シフトレジスタ回路32とラッチ回路33の経路の途上に、データ信号を用いてアナログ信号を選択する選択回路を設ければよい。選択回路を設けることにより、素子アレイ2を構成する素子が、アナログ信号により制御される場合にも適用が可能となる。

【0076】

(実施の形態A2)

本実施の形態における半導体装置の構成は、実施の形態A1と相違なく、図1及び図2に示す構成と同一である。したがって、ここでは、構成に関する説明は省略する。実施の形態A1との違いは駆動方法にあり、以下に本実施の形態の駆動方法について説明する。

【0077】

ここで、本実施の形態におけるメモリ3は、データ信号供給手段6から出力されたデータ信号を、あるメモリセル22に記憶し保持させる書き込み動作と、上記メモリセル22とは別のメモリセル22に保持されているデータ信号を、データドライバ4へ転送する読み出し動作とを、同時に行う。

【0078】

データ信号の素子アレイ2への書き込みは、メモリ3からデータ信号が読み出され、データドライバ4を経由して素子アレイ2へ転送する動作を繰り返すことにより行われる。このとき、データ信号供給手段6からデータ信号をメモリ3へ転送し、書き込み動作を行っている。これにより、動作終了後には、メモリ3上に次の動作に必要なデータ信号が保持されているため、直ちにデータ信号の読み出し動作、つまり素子アレイ2へのデータ信号の転送動作に移行することが出来る。

【0079】

また、データ信号供給手段6は、素子アレイ2が動作中にデータ信号を転送することが出来るため、比較的データ転送時の駆動周波数を低く設定出来る。これにより、データ信号供給手段6は高速動作の必要がないことから低コストな半導体装置を実現出来る。また、データ信号供給手段6の駆動周波数が低いと装置本体の低消費電力化が可能となる。

【0080】

(実施の形態A3)

図10は、本実施の形態に係る半導体装置50の構成を示すブロック図を示している。実施の形態A1及びA2に示した半導体装置50と比較して特徴的な構成は、外部信号処理基板8のデータ信号供給手段6を第1データ信号供給手段12と第2データ信号供給手段13に置き換えた構成にある。ここで、実施の形態A1のデータ信号供給手段6は、デジタル信号を出力する。一方、本実施の形態では、第1データ信号供給手段12はデジタル信号を出力し、第2データ信号供給手段13はアナログ信号を出力する。また、データドライバ4は、データ用シフトレジスタ回路32、ラッチ回路33、選択回路43、及びデータ用バッファ回路34を備える。

【0081】

ここで、第1データ信号供給手段12から出力される第1のデータ信号とは、素子アレイ2へ供給するアナログ信号を選択するためのデジタル信号である。また、第2データ信号供給手段13から出力される第2のデータ信号は、素子アレイ2へ供給される複数の種類のアナログ信号である。これら第2のデータ信号は、素子アレイ2を構成している機能素子によって異なり、それぞれ異なる波形を有する信号であり、例えば液晶表示装置の階調

電圧のようにある一定の電圧でも良いし、例えば図9に示すようなアナログ波形でも良い。選択回路43は、第1のデータ信号により指定された1又は複数のアナログ信号を選択し、複数の場合は選択された信号の波形を合成し、データ用バッファ回路34を経由して素子アレイ2に出力する。

【0082】

また、メモリ3は、実施の形態A1において図2に示した構成と同一である。また、データドライバ4は、メモリ3から出力された第1のデータ信号と、第2データ信号供給手段13から出力された第2のデータ信号とから、素子アレイ2へ出力する電気信号を決定し、素子アレイ2へ転送する。また、素子アレイ2は、データバスライン5を通過して入力されたデータ信号により制御される機能素子が、例えばマトリクス状に配列されている。10
また、コントローラ9は、メモリ3、データドライバ4を制御する回路である。ここで、図10はあくまで構成の一例であり、例えばコントローラ9は、図10では外部信号処理基板8に設置されているが、半導体基板1側にあってもよい。

【0083】

つまり、本実施の形態は、メモリ3から読み出したデータ信号を、素子アレイ2へ転送するものではなく、データドライバ4の選択回路43において、複数のアナログ信号の中から、少なくとも一つのアナログ信号を第1のデータ信号に従って選択して、素子アレイ2へ転送している点が、実施の形態A1、又は実施の形態A2と異なる。

【0084】

本実施の形態における半導体装置50によると、実施の形態A1及びA2と同様に、素子アレイ2に対して同一データ信号が複数回数連続して入力される場合、第1のデータ信号供給手段12とメモリ3との間でのデータ信号の転送が停止するため、当該半導体装置50の作動時において、消費電力の低減が見込める。また、素子アレイ2への入力信号をアナログ信号とすることが出来る。20

【0085】

(実施の形態A4)

本実施の形態における半導体装置の構成は、実施の形態A3と相違なく、図10に示す構成である。本実施の形態と実施の形態A3との違いは駆動方法にあるため、以下半導体装置の駆動方法についてのみ説明し、半導体装置の構成に関する説明は省略する。

【0086】

ここで、本実施の形態におけるメモリ3は、第1のデータ信号供給手段12から出力されたデータ信号を、ある記憶素子に記憶し保持させる書き込み動作と、上記記憶素子とは別の記憶素子に保持されているデータ信号を、データドライバ4へ転送する読み出し動作とを、同時に行うことが可能である。30

【0087】

本実施の形態の駆動方法は、メモリ3からデータ信号を読み出し、データドライバ4へ転送して、更に、素子アレイ2へ信号を転送する動作を繰り返すことにより行われる。このとき、第1のデータ信号供給手段12からデータ信号をメモリ3へ転送し、書き込み動作を行っている。これにより、重ね打ち動作終了後には、メモリ3上に次の動作に必要なデータ信号が保持されているため、直ちにデータ信号の読み出し動作に移行することが出来る。40

【0088】

また、第1のデータ信号供給手段12は、あるフレームでの動作中にデータ信号を転送することが出来るため、比較的データ転送時の駆動周波数を低く設定出来る。これにより、第1のデータ信号供給手段12は高速動作の必要がないことから低コストで実現出来る。また、駆動周波数が低いため装置本体の低消費電力化が可能となる。

【0089】

(実施の形態A5)

図11は、本実施の形態における半導体装置50の構成を示すブロック図である。以下、本実施の形態に特徴的な構成について説明し、実施の形態A1からA4に示した構成と同50

一機能を有するものに関しては適宜説明を省略する。実施の形態A 5では、実施の形態A 4におけるアナログ信号の選択回路である選択回路4 3の機能を、第2データドライバ1 5として素子アレイ2に設けた。それに伴い、実施の形態A 4におけるデータドライバ4 から選択回路4 3を取り除いた回路を、第1データドライバ1 4とする。

【0090】

図1 2は、素子アレイ2及び第2データドライバ1 5の構成を示す。第2データドライバ1 5は、第2データ信号供給手段1 3から延びる第2のデータ信号を供給するアナログ信号線を、素子アレイ2が備える機能素子4 6に対し列ごとに設けられたセクタ4 4に分配する。ここでは、アナログ信号線は、4本とする。つまり、アナログ信号の波形は4種類とする。

10

【0091】

図1 3は、セクタ4 4の構成を示す。セクタ4 4は、各機能素子4 6に対して4本のアナログ信号線から所望の信号を選択し合成し、合成した信号を機能素子4 6に転送する合成部4 5を備える。合成部4 5は、第1データドライバ1 4から入力される信号により制御されスイッチとして機能するトランジスタが、各アナログ信号線に設けられる。

【0092】

ここで、第1のデータ信号とは、素子アレイ2へ供給するアナログ信号を選択するためのデジタル信号である。また、第2のデータ信号は、素子アレイ2へ供給する、複数種類の波形を有するアナログ信号である。また、メモリ3は、少なくとも、デジタルデータ信号を一定期間保持する記憶素子と、その記憶素子を駆動する駆動回路で構成されている。また、第1データドライバ1 4は、メモリ3から出力された第1のデータ信号を素子アレイ2へ転送する。また、第2データドライバ1 5は、第2データ信号供給手段1 3から出力された第2のデータ信号を素子アレイ2へ転送する。

20

【0093】

また、素子アレイ2には、第1のデータドライバ1 4より出力された複数の電気信号から、少なくとも一つが、データバスライン5を通過して入力される。

【0094】

また、コントローラ9は、メモリ3、第1データドライバ1 4を制御する。ここで、図1 1はあくまで半導体装置5 0の構成の一例であり、例えばコントローラ9は、外部信号処理基板8に設置されているが、半導体基板1側に設置されてもよい。

30

【0095】

以上の構成による半導体装置5 0の動作を説明する。第1のデータ信号供給手段1 2より出力された第1のデータ信号は、メモリ3へ入力される。メモリ3で保持されたデータ信号は、第1データドライバ1 4へ転送される。

【0096】

第1データドライバ1 4へ転送されたデータ信号は、データ用シフトレジスタ回路3 2でパラレル信号に変換され、ラッチ回路3 3で任意のタイミングで、データ用バッファ回路3 4を介して素子アレイ2に転送される。

【0097】

一方、第2データ信号供給手段1 3から出力された第2のデータ信号は、第2データドライバ1 5へ転送される。また、第2のデータ信号は、第2データドライバ1 5により、同じく素子アレイ2へ入力される。そして、素子アレイ2では、複数のアナログ信号の中から少なくとも一つのアナログ信号が、第1のデータ信号により選択され、選択されたアナログ信号により、素子アレイ2は所望の動作を行う。

40

【0098】

つまり、本実施の形態では、メモリ3から読み出したデータ信号を、素子アレイ2へ転送するものではなく、素子アレイ2において、アナログ信号の中から、少なくとも一つのアナログ信号をデータ信号に従って選択して、選択されたアナログ信号により素子アレイは所望の動作を行う点が、実施の形態A 1～実施の形態A 2と異なっている。

【0099】

50

以上、本実施の形態によれば、実施の形態 A 1 ~ A 4 と同じ効果が得られる。また更に、素子アレイ 2 に対してアナログ信号を入力することができる。

【0100】

(実施の形態 A 6)

本実施の形態における半導体装置の構成は、実施の形態 A 5 と相違なく、図 11 に示す構成と同一である。実施の形態 A 5 に示した半導体装置との違いは駆動方法にあるため、以下に本実施の形態の駆動方法について説明する。ただし、実施の形態 A 5 と本実施の形態の駆動方法の相違に関する関係は、実施の形態 A 1 と実施の形態 A 2、及び実施の形態 A 3 と実施の形態 A 4 の関係と同一である。

【0101】

ここで、本実施の形態におけるメモリ 3 は、第 1 のデータ信号供給手段 12 から出力されたデータ信号を、あるメモリセル 22 に記憶し保持させる書き込み動作と、上記メモリセル 22 とは別のメモリセル 22 に保持されているデータ信号を、第 2 データドライバ 15 へ転送する読み出し動作とを、同時に行うことが可能である。

【0102】

本実施の形態における駆動方法は、メモリ 3 からデータ信号を読み出し、第 2 データドライバ 15 へ転送して、更に、素子アレイ 2 へデータ信号を転送する動作を繰り返すことにより行われる。このとき、第 1 のデータ信号供給手段 12 からデータ信号をメモリ 3 へ転送し、書き込み動作を行っている。これにより、動作終了後には、メモリ 3 上に次の動作に必要なデータ信号が保持されているため、直ちにデータ信号の読み出し動作に移行することが出来る。

【0103】

また、第 1 のデータ信号供給手段 12 は、動作中にデータ信号を転送することが出来るため、比較的データ転送時の駆動周波数が低く設定出来る。これにより、第 1 のデータ信号供給手段 12 は高速動作の必要がないことから低コストで実現出来る。また、駆動周波数が低いため装置本体の低消費電力化が可能となる。

【0104】

(実施の形態 A 7)

図 14 は、本実施の形態における半導体装置 50 の構成を示す。半導体装置 50 は、大きく分けて半導体基板 1 と、外部信号処理基板 8 で構成されており、半導体基板 1 には、スイッチ回路 20、メモリ 3、データドライバ 4、素子アレイ 2 が形成されている。また、外部信号処理基板 8 には、データ信号供給手段 6、コントローラ 9 が設置されている。つまり、本実施の形態の半導体装置 50 は、実施の形態 A 1、又は実施の形態 A 2 の半導体装置 50 の構成に、スイッチ回路 20 を付加した構成となっている。それ以外の構成は、図 1 に示した構成と同一なので説明を省略する。

【0105】

図 15 にスイッチ回路 20 の構成を示す。スイッチ回路 20 は、第 1 スイッチ SW1 と第 2 スイッチ SW2 を有し、コントローラ 9 によって制御され、データ信号供給手段 6 から出力されたデータ信号を、メモリ 3 か、データドライバ 4 内のレベルシフト回路 31 のどちらに転送するかを決定する。回路構成は、上記手段を実現出来るものであればどのような構成でもよい。データ信号供給手段 6 から出力される信号が、最終的に素子アレイ 2 において繰り返し使用される場合は、メモリ 3 へ転送され、繰り返し使用されないデータ信号の場合は、直接データドライバ 4 に転送される。

【0106】

また、コントローラ 9 は、メモリ 3、データドライバ 4、スイッチ回路 20 を制御する。ここで、図 14 はあくまで構成の一例であり、例えばコントローラ 9 は、図 14 では外部信号処理基板 8 側に設置されているが、半導体基板 1 側にあってもよい。

【0107】

以上、本実施の形態の半導体装置 50 によれば、メモリ 3 に保持されているデータ信号を繰り返し読み出す動作を行わない領域に対して、スイッチ回路 20 の動作により、メモリ

3を経由せず直接データドライバ4へ転送することが可能となる。このため、メモリ3の動作を停止することにより、半導体装置の低消費電力化が可能となる。

【0108】

(実施の形態A8)

図16は、本実施の形態における半導体装置50の構成を示すブロック図を示している。本実施の形態の半導体装置50に特徴的な構成は、実施の形態A3、又は実施の形態A4の半導体装置50の構成に、スイッチ回路20を付加した構成にある。

【0109】

本実施の形態における半導体装置50は、半導体基板1と、外部信号処理基板8を備える。半導体基板1には、スイッチ回路20、メモリ3、データドライバ4、素子アレイ2が形成されている。また、外部信号処理基板8には、コントローラ9、第1のデータ信号供給手段12、第2データ信号供給手段13が設置されている。

【0110】

スイッチ回路20の構成を図15で示した構成と同一である。ただし、実施の形態A7では、第2スイッチSW2はレベルシフト回路31に接続されたが、本実施の形態では、データ用シフトレジスタ回路32に接続される。第1スイッチSW1と第2スイッチSW2はコントローラ9によって制御され、第1スイッチSW1がオンになると、メモリ3にデータ信号が供給され、第2スイッチSW2がオンになると、データドライバ4にデータ信号が供給される。つまり、スイッチ回路20は、第1のデータ信号供給手段12から出力されたデータ信号を、メモリ3か、データドライバ4内のデータ用シフトレジスタ回路32のどちらに転送するかを決定する。また、コントローラ9は、メモリ3、データドライバ4、スイッチ回路20を制御する。ここで、図16に示した構成は一例であり、例えばコントローラ9は、図16では外部信号処理基板8に設置されているが、半導体基板1側にあっても構わない。

【0111】

本実施の形態の半導体装置50によれば、スイッチ回路20を具備していることにより、メモリ3に保持されているデータ信号を繰り返し読み出す動作を行わない期間に対して、スイッチ回路20の動作により、素子アレイ2に対して入力すべきデータ信号をメモリ3を経由せず直接データドライバ4へ転送する。このため、メモリ3を高速に動作することなく、動作自体を停止することが可能となる。

【0112】

(実施の形態A9)

図17は、本実施の形態における半導体装置50の構成を示すブロック図を示している。本実施の形態の半導体装置50に特徴的な構成は、実施の形態A5、又は実施の形態A6の半導体装置50に示した構成に、スイッチ回路20を付加した構成にある。

【0113】

本実施の形態における半導体装置50は、半導体基板1と、外部信号処理基板8を備える。半導体基板1には、スイッチ回路20、メモリ3、第1データドライバ14、第2データドライバ15、素子アレイ2が形成されている。また、外部信号処理基板8には、コントローラ9、第1のデータ信号供給手段12、第2データ信号供給手段13が設置されている。

【0114】

ここで、スイッチ回路20は、第1のデータ信号供給手段12から出力されたデータ信号を、メモリ3か、第1データドライバ14内のデータ用シフトレジスタ回路32のいずれかに転送するかを決定する。また、コントローラ9は、メモリ3、データドライバ4を制御する。ここで、図17に示した構成は一例であり、例えばコントローラ9は、図17では外部信号処理基板8に設置されているが、半導体基板1側にあっても構わない。

【0115】

つまり、本実施の形態の半導体装置50によれば、スイッチ回路20を具備していることにより、メモリ3に保持されているデータ信号を繰り返し読み出す動作を行わない期間に

対して、スイッチ回路20の動作により、メモリ3を経由せず直接データドライバ4へ転送するため、メモリ3を高速に動作することなく、動作自体を停止することが可能となる。

【0116】

(実施の形態B1)

本実施の形態では、画像出力装置、特にプリンタ装置に関して説明する。このプリンタ装置は、実施の形態A1～A9における半導体装置50と構成が類似しており、特徴的な構成に関してのみ説明し、それ以外の説明は省略する。また、一般に、サーマルインクジェット方式と呼ばれる印字方式のプリンタ装置では、素子アレイ2に対応する熱抵抗素子にデジタル信号が入力される。一方、ピエゾインクジェット方式と呼ばれる印字方式のプリンタ装置では素子アレイ2に対応する圧電素子、具体的にはピエゾ素子にアナログ信号が入力される。

【0117】

したがって、実施の形態A1とA2に示した半導体装置の構成をプリンタ装置に適応する一般的な例は、サーマルインクジェット方式のプリンタ装置であり、実施の形態A3～A9に示した半導体装置の構成をプリンタ装置に適応する例は、ピエゾインクジェット方式のプリンタ装置である。ここでは、実施の形態A3で示した半導体装置50の構成をピエゾインクジェット方式のプリンタ装置に適応する。ただし、他の実施の形態A1、A2、A4～A9に示した半導体装置50をプリンタ装置に適応する構成も本発明として有効である。

【0118】

これまで、インクジェット方式のプリンタ装置では、前述したように印刷速度の高速化と印刷品位の向上が課題となっている。そのため、プリントヘッドの動作周波数を上げることが必要となる。これによって、消費電力が増加してしまうことがあり、上述の半導体装置と同様に消費電力の低減が克服すべき課題の一つとなっている。また、印字速度の高速化はすなわち、プリントヘッドの移動速度の高速化が必要となる。プリントヘッドを小型化することで、プリントヘッドを移動させる駆動機構を駆動の高速化に耐えうる構成に設計することが容易となる。更に、プリンタ装置の設計の自由度が向上する。

【0119】

図18は、実施の形態A3に示した半導体装置50の構成をプリンタ装置60として置き換えた構成を示す。半導体基板1をプリントヘッド70とし、外部信号処理基板8を本体装置72とする。また、素子アレイ2を吐出手段74とする。このプリンタ装置60は、上述の通り、吐出手段74にアナログ信号が入力されるのでインクジェット方式により印字する。この場合、吐出手段74はピエゾ素子などの圧電素子75がマトリクス状に配置されているものとする。

【0120】

また、図19は、プリントヘッド70の構成を示す。また、図20は、プリントヘッド70におけるガラス基板210の構成を示す。また、図21は、図19のA-A'断面図である。

【0121】

プリントヘッド70は、吐出部80と圧電素子75及びガラス基板210を備える。ただし、圧電素子75は、吐出部80とガラス基板210に挟まれる構成となっており図19では図示していない。また、吐出部80は、ノズル穴となる小孔78を穿設した板状体81（以下、「ノズルプレート」という）と圧力室構成部材82及び振動板83によって構成され、振動板83を振動させる圧電素子75を実装したガラス基板210の表面には、図21に示すとおり、圧電素子75に駆動用の電気信号を伝えるためのTFT回路77が一体的に形成されている。また、メモリ3、データドライバ4、走査回路35、及びクロックジェネレータ36がTFT回路77内に構成されている。

【0122】

圧力室構成部材82を形成する枠体の内側部分には所定の間隙を空けて複数の障壁が設け

られ、隣接する二つの障壁と前述した板状体 8 1 及び振動板 8 3 で区画して形成される各々の空間によって複数の圧力室 2 5 6 が構成される。

【0 1 2 3】

また、圧力室構成部材 8 2 の内側には、インクプール 2 5 7 が形成され、インク供給口 2 6 2 を通って圧力室 2 5 6 へインクが供給される。

【0 1 2 4】

圧電素子 7 5 は、各々の圧力室 2 5 6 と対応して振動板 8 3 上に、接続部 7 7 A を介して複数配備され、また、ノズルを構成する小孔 7 8 も、各々の圧力室 2 5 6 と対応して板状体 8 1 上の複数箇所に穿設されている。

【0 1 2 5】

ただし、プリンタ装置 6 0 の印字方式がサーマルインクジェット方式の場合、素子アレイは熱抵抗素子により構成され、それらの熱により発生する気泡を利用してインクが吐出される。

【0 1 2 6】

以上の構成によるプリンタ装置 6 0 の動作を説明する。第 1 のデータ信号供給手段 1 2 より出力された第 1 のデータ信号は、メモリ 3 へ入力される。メモリ 3 で保持されたデータ信号は、データドライバ 4 へ転送される。

【0 1 2 7】

データドライバ 4 へ転送されたデータ信号は、データ用シフトレジスタ回路 3 2 でパラレル信号に変換され、ラッチ回路 3 3 で任意のタイミングで、選択回路 4 3 へ転送される。

【0 1 2 8】

一方、第 2 データ信号供給手段 1 3 から出力された第 2 データ信号は、データドライバ 4 内の選択回路 4 3 へ転送される。選択回路 4 3 において、第 1 のデータ信号により指定された第 2 のデータ信号が、データ用バッファ回路 3 4 を経由して、素子アレイ 2 へ転送される。素子アレイ 2 において、第 2 のデータ信号により、圧電素子 7 5 は所望の動作を行う。

【0 1 2 9】

重ね打ちが行われる場合、コントローラ 9 によって、第 1 データ信号供給手段 1 2 からメモリ 3 へのデータ信号の転送が停止され、メモリ 3 に保持されているデータ信号が更新されない。メモリ 3 から第 1 のデータ信号が読み出されて、選択回路 4 3 へ転送され、その第 1 のデータ信号により、第 2 データ信号供給手段 1 3 から出力されている少なくとも一つの第 2 のデータ信号が選択されて、素子アレイ 2 へ転送される。上記の動作により、重ね打ち動作が行われる。

【0 1 3 0】

(実施の形態 B 2)

実施の形態 B 2 では、実施の形態 A 1 及び実施の形態 A 2 に示した半導体装置を、表示装置に適用する。ここでは、表示としてアクティブマトリックス型有機 EL 表示装置を想定する。この表示装置は、マトリックス状に配置された各 TFT に有機 EL 素子を設けた装置である。ここでは、本実施の形態に特徴的な構成について説明し、それ以外の点の説明は、適宜省略する。また、同様に実施の形態 A 3 ~ A 9 に示した半導体装置を表示装置に適用した形態も、本発明として有効である。

【0 1 3 1】

図 2 2 は、有機 EL 表示装置 2 0 0 の構成を示す機能ブロック図である。有機 EL 表示装置 2 0 0 は、外部信号処理基板 8 とガラス基板 2 1 0 を備える。ガラス基板 2 1 0 は、実施の形態 A 1 ~ A 9 で示した半導体装置 5 0 の半導体基板 1 に相当する。本実施の形態では、図 1 の半導体装置 5 0 におけるデータドライバ 4 の構成において、データ用シフトレジスタ回路 3 2 とラッチ回路 3 3 の間に、DAC 回路 1 4 3 を設けてアナログ信号を有機 EL パネル 2 2 0 に出力する。つまり、素子アレイ 2 を有機 EL パネル 2 2 0 とした装置である。

【0 1 3 2】

10

20

30

40

50

図23に有機ELパネル220の構成を示す。有機ELパネル220は、走査回路35から延びる第1走査線G1～第M走査線G_nのM本の走査線と、データ用バッファ回路34から延びる第1データ線DL1～第Nデータ線DL_mのN本のデータ線に囲まれた領域に、M×Nのマトリックス状に画素回路230が構成される。

【0133】

図24は、第2走査線G2と第3走査線G3、及び第2データ線DL2と第3データ線DL3に囲まれた領域に設けられた一つの画素回路230の代表的な構成を示す。

【0134】

画素回路230は、nチャネルTFTである選択トランジスタTr1とpチャネルTFTである駆動トランジスタTr2と有機EL素子OLEDを備える。選択トランジスタTr1はスイッチ回路として機能する。駆動トランジスタTr2は、有機EL素子OLEDの駆動回路として機能する。

【0135】

選択トランジスタTr1は第2データ線DL2と駆動トランジスタTr2のゲート電極の間に直列に接続される。また、選択トランジスタTr1のゲート電極は、第2走査線G2に接続される。駆動トランジスタTr2のソース電極は電源電位PV_{dd}に、ドレイン電極は接地電位に接続される。また、駆動トランジスタTr2とゲート電極とソース電極の間に保持容量Cが設けられる。

【0136】

第2走査線G2が選択されハイになると、選択トランジスタTr1がオンとなり、第2データ線DL2に輸入されたデータ信号が、駆動トランジスタTr2のゲート電極に輸入される。駆動トランジスタTr2は、ゲート電極と保持容量Cに保持されるデータ信号に応じて、電源電位PV_{dd}から供給される電流を流し、有機EL素子OLEDは流れる電流に応じて所望の光を発する。

【0137】

(以下、製造工程の記述)

図25をもとに有機EL表示装置200のガラス基板210上のTFT製造工程について説明する。ここでは、プリントヘッド70の主要構成要素をガラス基板上に形成する。図25は、ガラス基板上にポリシリコンで駆動回路及び記憶手段を製造するプロセスである。

【0138】

まず、ガラス基板210上に、酸化シリコン膜211を形成した後、アモルファスシリコン212を成長させる。次に、エキシマレーザを用いてアニールし、アモルファスシリコンをポリシリコン化させる(図25(a))。

【0139】

更に厚膜10nmの酸化シリコン膜213を成長させ、パターニングした後(図25(b))、フォトレジスト214を塗布してパターニングし(pチャネル領域をマスクする)、リン(P)イオンをドーピングすることにより、nチャネルのソースとドレイン領域を形成する(図25(c))。

【0140】

更に、ゲート絶縁膜となる厚膜90nmの酸化シリコン膜215を成長させた後、ゲート電極を構成するためのマイクロクリスタルシリコン(μ -c-Si)216と、タングステンシリサイド(WSi)217を成長させ、ゲート形状にパターニングする(図25(d))。

【0141】

フォトレジスト218を塗布してパターニングし(nチャネル領域をマスクする)、ボロン(B)をドーピングし、nチャネルのソースとドレイン領域を形成する(図25(e))。

【0142】

酸化シリコン膜と窒化シリコン膜219を連続成長させた後、コンタクト用の穴をあけ(

図25(f))、アルミニウムとチタン223をスパッタリング法で形成し、パターンニングを行う(図25(g))。このパターンニングで周辺回路のCMOSのソース・ドレインの電極と、圧電素子の駆動スイッチであるスイッチTF Tのドレインに接続するデータ線配線、画素電極へのコンタクトが形成される。

【0143】

続いて、絶縁膜のメモリセル221を形成し、コンタクト用の穴をあけ、画素電極用に、透明電極であるITO(Indium Tin Oxide)222を形成し、パターンニングする(図25(h))。

【0144】

このようにして、プレーナ構造のスイッチTF Tを作成し、TF Tアレイを形成する。 10

【0145】

周辺回路部は、スイッチTF Tと同様のnチャネルTF Tと共に、nチャネルTF Tとほぼ同様の工程であるが、ボロンのドーピングによって、pチャネルとしたTF Tとを作り込む。

【0146】

図25(h)において、図の左側から、周辺回路のnチャネルTF T、周辺回路のpチャネルTF T、スイッチTF T(nチャネルTF T)、保持容量、画素電極が示されている。

。

【0147】

本実施の形態では、ポリシリコン膜の形成に、エキシマレーザを用いるが、他のレーザ、 20
例えば連続発振するCWレーザ等を用いてもよいし、熱処理による固層成長を用いても良い。

【0148】

このようにして、図25に示した工程によりガラス基板210にポリシリコンによるTF T回路77が形成される。

【0149】

(実施の形態B3)

本実施の形態では、実施の形態A1～A9に示した半導体装置を光スイッチに適応する。したがって、本実施の形態で実施の形態A1～A9で示した素子アレイ2、より具体的には素子アレイ2が備える機能素子46が光スイッチを駆動する。 30

【0150】

光スイッチは、その駆動構成として可動部を有する機械式光スイッチと電気光学効果等を利用した電子式光スイッチとがある。電子式光スイッチの製造コストは、機械式と比べて高くなる傾向があり、一般には機械式光スイッチが広く流通している。機械式光スイッチは、低損出及び低クロストークといった長所があるものの、可動部の応答が機械的な信号のオン・オフによって制御されるために、応答速度は遅くなる短所がある。そこで、本発明を、光スイッチを駆動する装置に適応することで、光スイッチ自身はそのまま、光スイッチを備える装置全体のパフォーマンスを向上することができる。

【0151】

以上、本発明をいくつかの実施の形態をもとに説明した。これらの実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。 40

【0152】

上述の各実施の形態で示した構成は、ハードウェア的には、任意のコンピュータのCPU、メモリ、その他のLSIで実現でき、ソフトウェア的にはメモリにロードされたプログラムなどによって実現されるが、上述の実施の形態ではそれらの連携によって実現される機能ブロックを描いている。したがって、これらの機能ブロックがハードウェアのみ、ソフトウェアのみ、又はそれらの組合せによっていろいろな形で実現できることは、当業者には理解されるところである。

【0153】

【発明の効果】

以上、本発明によれば、低消費電力の半導体装置が実現される。また、別の観点では低コストの高速の半導体装置が実現される。また、更に別の観点では、低消費電力の画像出力装置が実現される。また更に別の観点では、画像出力装置を高性能化した際にコストの上昇を抑えることが出来る。

【図面の簡単な説明】

【図 1】 実施の形態 A 1 及び A 2 に係る半導体装置の構成を示すブロック図である。

【図 2】 実施の形態 A 1 及び A 2 に係るメモリの構成を示すブロック図である。

【図 3】 実施の形態 A 1 及び A 2 に係る走査回路の構成を示すブロック図である。

【図 4】 実施の形態 A 1 及び A 2 に係るデータドライバの動作を示すタイミングチャートである。 30

【図 5】 実施の形態 A 1 及び A 2 に係る走査回路の動作を示すタイミングチャートである。

【図 6】 実施の形態 A 1 及び A 2 に係る、データ信号供給手段から素子アレイへのデータ信号の転送手順を示すフローチャートである。

【図 7】 多相化回路の一例を示すブロック図である。

【図 8】 メモリからデータドライバへの出力がパラレル信号である場合の、メモリの構成を示すブロック図である。

【図 9】 アナログ信号の一例を示すタイミングチャートである。

【図 10】 実施の形態 A 3 及び A 4 に係る半導体装置の構成を示すブロック図である。 20

【図 11】 実施の形態 A 5 及び A 6 に係る半導体装置の構成を示すブロック図である。

【図 12】 実施の形態 A 5 及び A 6 に係る素子アレイ及び第 2 データドライバの構成を示すブロック図である。

【図 13】 実施の形態 A 5 及び A 6 に係るセレクトの構成を示すブロック図である。

【図 14】 実施の形態 A 7 に係る半導体装置の構成を示すブロック図である。

【図 15】 実施の形態 A 7 に係るスイッチ回路の構成を示すブロック図である。

【図 16】 実施の形態 A 8 に係る半導体装置の構成を示すブロック図である。

【図 17】 実施の形態 A 9 に係る半導体装置の構成を示すブロック図である。

【図 18】 実施の形態 B 1 に係るプリンタ装置の構成を示すブロック図である。

【図 19】 実施の形態 B 1 に係るプリントヘッドの構成を示すブロック図である。 30

【図 20】 実施の形態 B 1 に係るプリントヘッドのガラス基板上の構成を示すブロック図である。

【図 21】 図 20 で示すプリントヘッドの A-A' 断面図である。

【図 22】 実施の形態 B 2 に係る有機 EL 表示装置の構成を示すブロック図である。

【図 23】 実施の形態 B 2 に係る有機 EL パネルの構成を示すブロック図である。

【図 24】 実施の形態 B 2 に係る有機 EL パネルを構成する画素一つの構成を示すブロック図である。

【図 25】 実施の形態 B 1 に係るプリントヘッドの製造工程における、TFT 回路の製造工程を示す工程図である。

【図 26】 従来例で示すインクジェットプリンタの一般的な構成を示すブロック図である 40

【図 27】 プリンタ装置の重ね打ち動作の一例を示す図である。

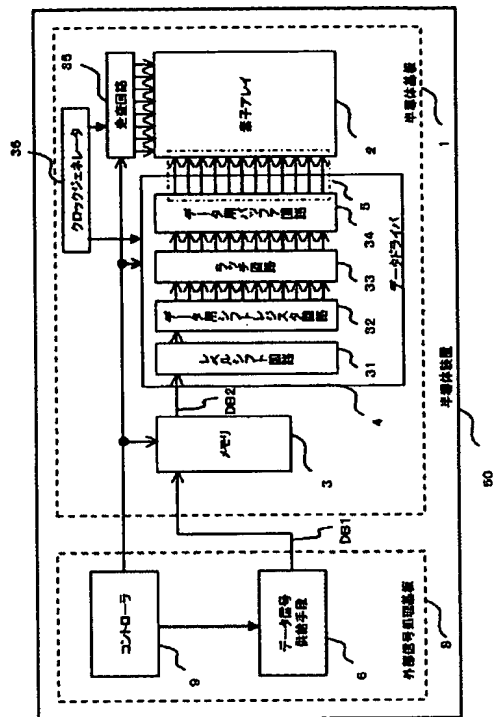
【図 28】 プリンタ装置の重ね打ち動作の一例を示す図である。

【符号の説明】

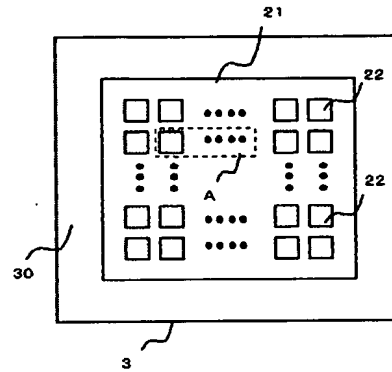
- 1 半導体基板
- 2 素子アレイ
- 3 メモリ
- 4 データドライバ
- 5 データバスライン
- 6 データ信号供給手段

8	外部信号処理基板	
9	コントローラ	
1 2	第1データ信号供給手段	
1 3	第2データ信号供給手段	
1 4	第1データドライバ	
1 5	第2データドライバ	
2 0	スイッチ回路	
2 1	メモリセルアレイ	
2 2	メモリセル	
3 0	メモリ用ドライバ	10
3 1	レベルシフト回路	
3 2	データ用シフトレジスタ回路	
3 3	ラッチ回路	
3 6	クロックジェネレータ	
3 7	素子アレイシフトレジスタ回路	
4 1	第1メモリドライバ	
4 2	第2メモリドライバ	
4 3	選択回路	
4 4	セレクト	
4 6	機能素子	20
5 0	半導体装置	
6 0	プリンタ装置	
7 0	プリントヘッド	
7 4	吐出手段	
7 5	圧電素子	
1 4 3	D A C回路	
2 0 0	有機E L表示装置	
2 1 0	ガラス基板	

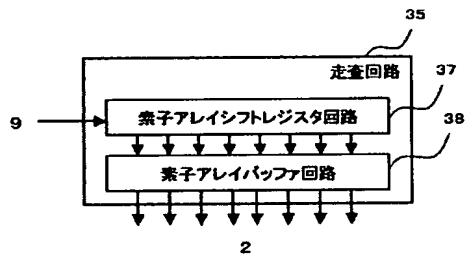
【図 1】



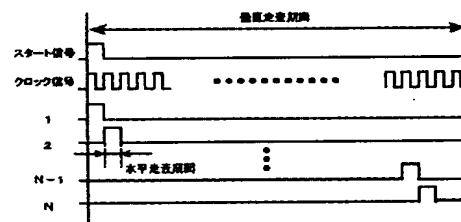
【図 2】



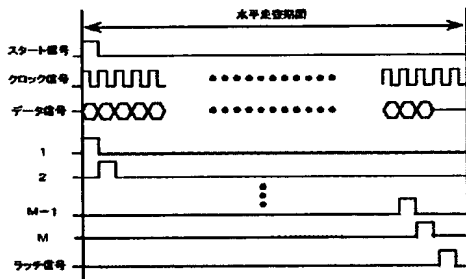
【図 3】



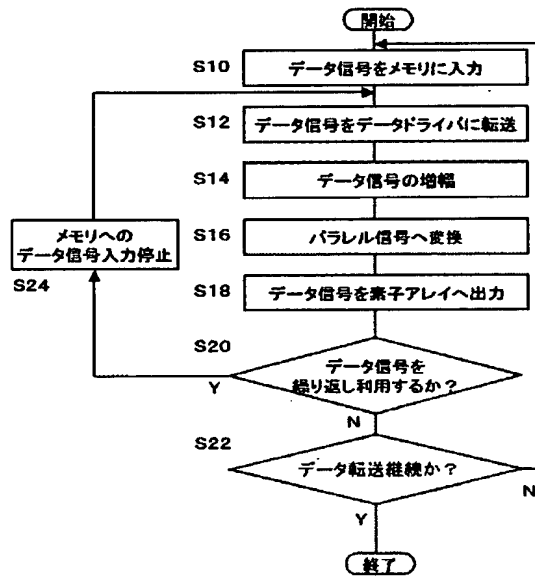
【図 5】



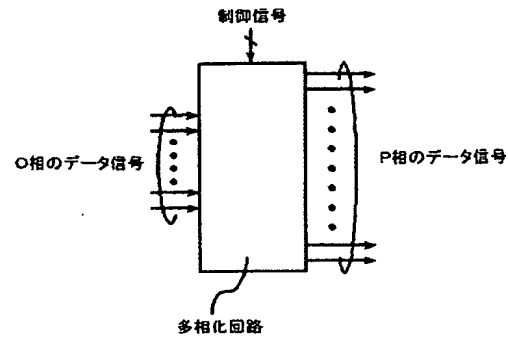
【図 4】



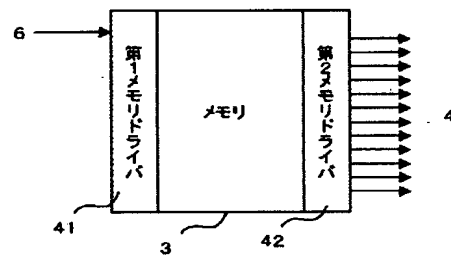
【図 6】



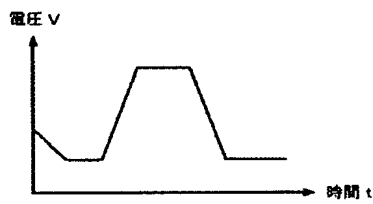
【図 7】



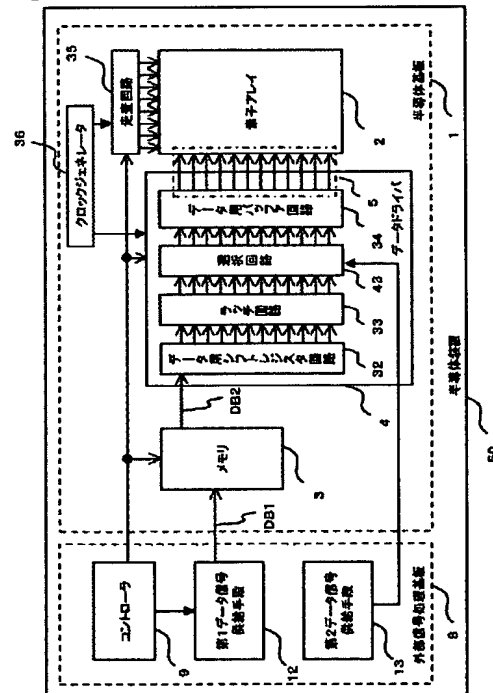
【図 8】



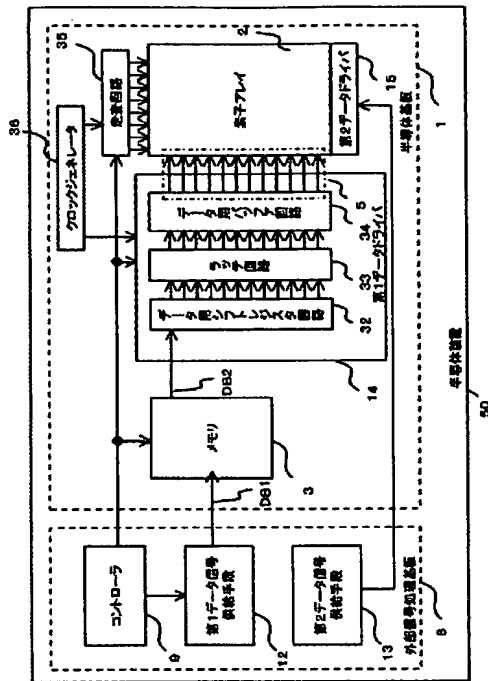
【図 9】



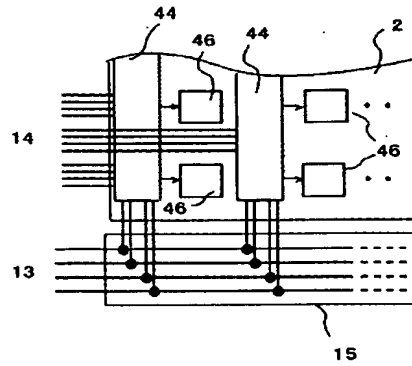
【図 10】



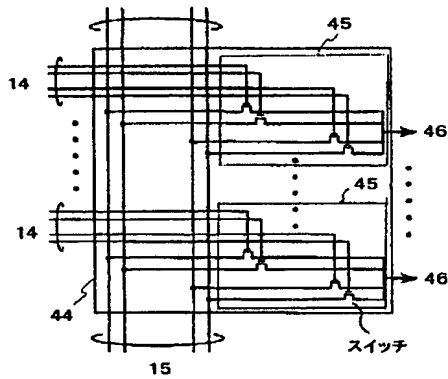
【図 1 1】



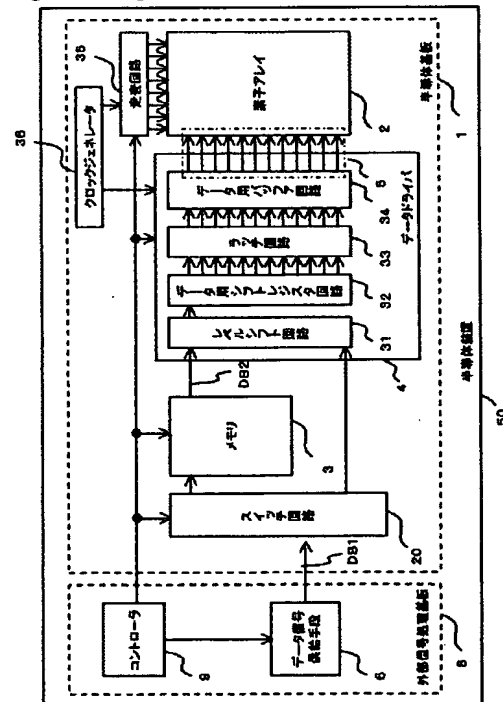
【図 1 2】



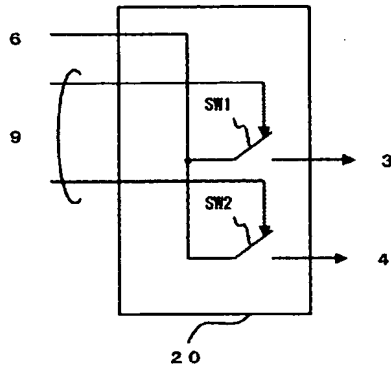
【図 1 3】



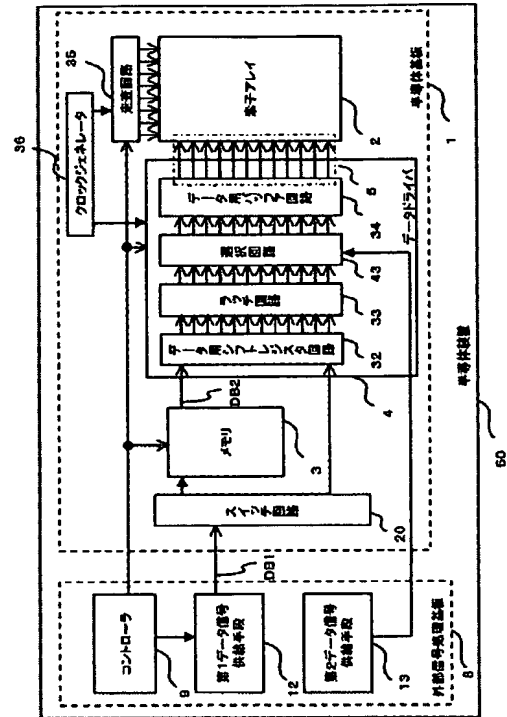
【図 1 4】



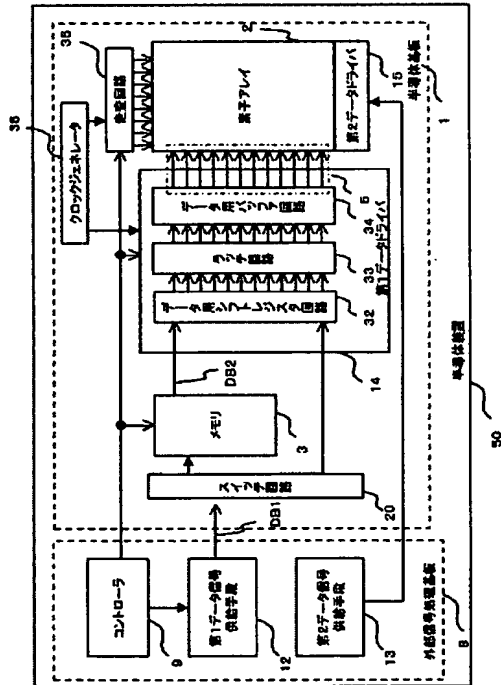
【図15】



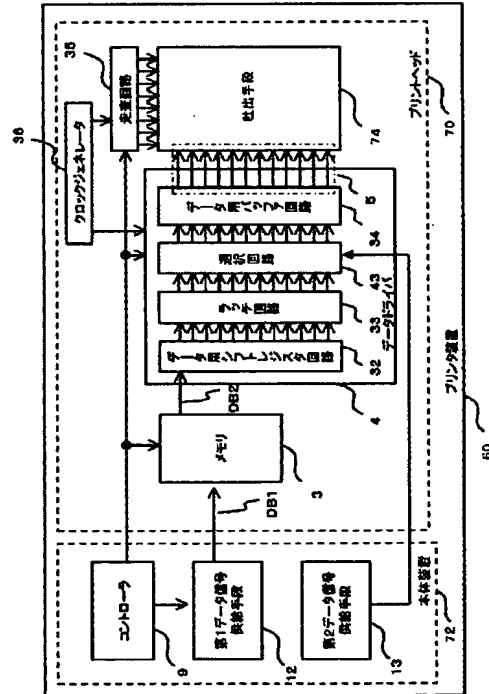
【図16】



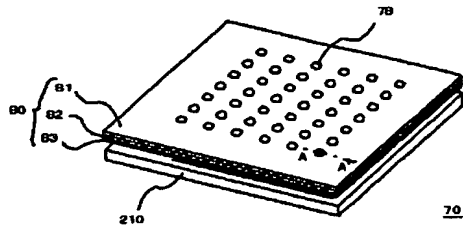
【図17】



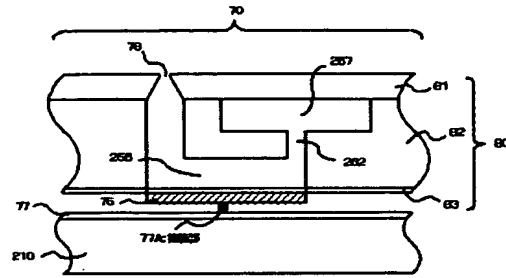
【図18】



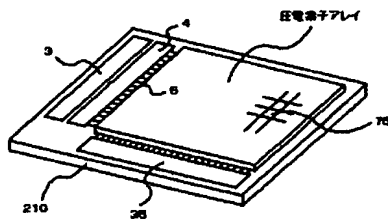
【図 19】



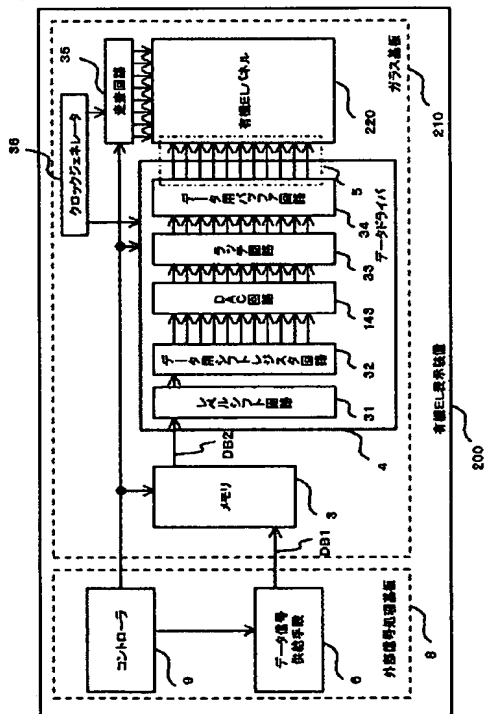
【図 21】



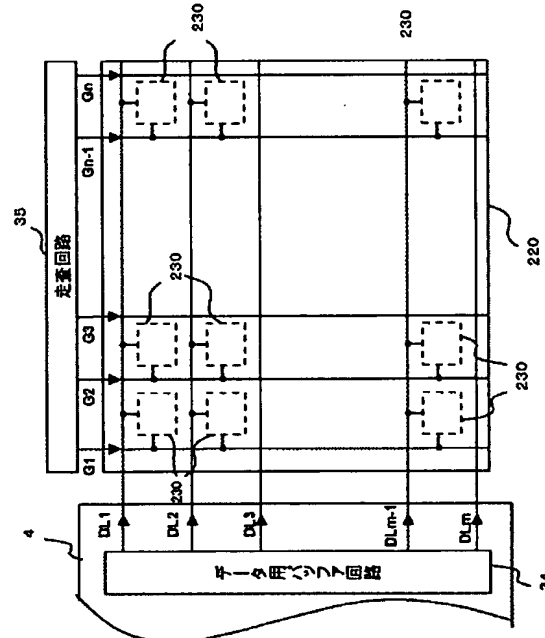
【図 20】



【図 22】



【図 23】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.